



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08153763 A**(43) Date of publication of application: **11.06.96**

(51) Int. Cl. **H01L 21/66**
G01R 31/26
G01R 31/28
H01L 21/336

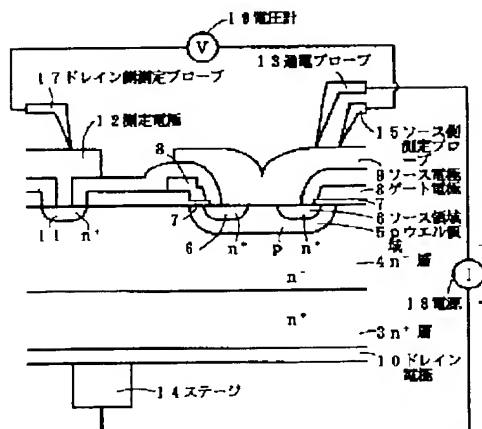
(21) Application number: **06296106**(71) Applicant: **FUJI ELECTRIC CO LTD**(22) Date of filing: **30.11.94**(72) Inventor: **YOSHIDA KAZUHIKO**(54) **METHOD FOR MEASURING SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To accurately measure the voltage between the drain electrode and source electrode of a vertical semiconductor device, such as the MOSFET, etc., in a semiconductor wafer when a large current is made to flow to the MOSFET by providing a measurement electrode on the surface of an n^{-1} -layer so as to measure the potential at the drain electrode.

CONSTITUTION: In a MOSFET, a measurement element 12 is formed on the surface of an N^{+} -area 11 provided so that the area can make ohmic contact with an n^{-} -layer 4 and drain-side and source-side measurement probes 17 and 15 are respectively connected with the electrode 12 and a source electrode 9. A conducting probe 13 and stage 14 are electrically connected to each other by press-contacting the probe 13 with a semiconductor wafer. An electric current is made to flow between the probe 13 and stage 14 and the voltage across the drain and source electrodes of the MOSFET is detected with the probes 17 and 15.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-153763

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl.⁸

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 21/66

V 7735-4M

G 0 1 R 31/26

G

31/28

G 0 1 R 31/ 28

V

9055-4M

H 0 1 L 29/ 78

6 5 8 L

審査請求 未請求 請求項の数 4 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平6-296106

(22) 出願日

平成6年(1994)11月30日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 吉田 和彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

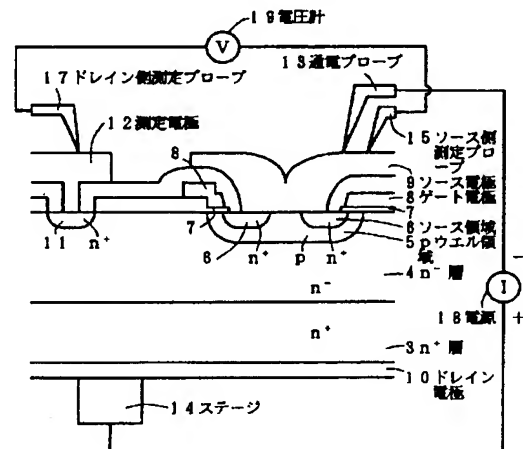
(74) 代理人 弁理士 山口 康

(54) 【発明の名称】 半導体装置の測定方法

(57) 【要約】

【目的】 MOSFETなどの縦型半導体装置において、ドレイン電極の電位を測定するために n^- 層表面に測定電極を設けて、大電流通電時の半導体ウエハ内にあるMOSFETのドレイン電極とソース電極間の電圧を精度良く測定する。

【構成】 MOSFETで測定電極12は n^- 層4とオーミック接触するようにもうけた n^+ 領域11上に形成され、測定電極12とドレイン側測定プローブ17が接続し、ソース電極9にソース側測定プローブ15が接続している。通電プローブ13、ステージ14は半導体ウエハと加圧接触により電気的に接続している。通電プローブ13、ステージ14間に電流を流し、ドレイン側測定プローブ17、ソース側測定プローブ15にて電圧を検出する。



【特許請求の範囲】

【請求項1】半導体ウエハの一主面に、主電流を通电する一方の第一電極を有し、他主面に、他方の第二電極を有する複数の縦形半導体装置が並設されている半導体ウエハの各半導体装置に主電流を通电した時の第一電極と第二電極間の電圧を測定する方法において、一主面に第二電極の電位を測定する測定電極を設けて、第一電極と該測定電極とで第一電極と第二電極間の電圧に相当する電圧を測定することを特徴とする半導体装置の測定方法。

【請求項2】測定電極を半導体装置の第一電極近傍に設けて、第一電極と第二電極間の電圧に相当する電圧を測定することを特徴とする請求項1記載の半導体装置の測定方法。

【請求項3】測定電極を半導体装置を形成しない領域上に形成して、第一電極と該測定電極とで第一電極と第二電極間の電圧に相当する電圧を測定することを特徴とする請求項1記載の半導体装置の測定方法。

【請求項4】測定電極を半導体装置を形成しないスクライブライン上もしくは半導体ウエハの外周部に設けて、第一電極と該測定電極とで第一電極と第二電極間の電圧に相当する電圧を測定することを特徴とする請求項1記載の半導体装置の測定方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、パワーMOSFET、IGBT、パワートランジスタ、サイリスタおよびダイオードなどの縦形半導体装置のオン電圧などの電気的特性を半導体ウエハの状態で測定する半導体装置の測定方法に関する。

【0002】

【従来の技術】図4は半導体ウエハ内の半導体装置のオン電圧などの電気的特性を測定する場合の従来の測定方法の例をMOSFETを使って説明する図である。n⁺層3上にn⁻層4が形成され、n⁻層4の表面層にpウエル領域5とこのpウエル領域5内にn⁺領域6が形成され、n⁺領域6表面にはソース電極9が、pウエル領域5の表面にはゲート絶縁膜7を介してゲート電極8が、n⁺層3表面にはドレイン電極10が形成され、縦形MOSFETを構成する。主電流I₀を通电するため、ソース電極9には通電プローブ13、ドレイン電極10にはステージ14が接触し、通電プローブ13とステージ14とは電源18に接続している。ここでステージ14の外径は半導体ウエハ1（図2（a）後述）とほぼ同径であるが、半導体ウエハ1を吸着するための吸着溝を設けており、また半導体ウエハ1が歪んでいるため、半導体ウエハ1との接触は局部的であり、この接触部を模式的に示している。また電圧を測定するため、ソース電極9にはソース側測定プローブ15、ドレイン電極10にはドレイン側測定プローブ16が接続し、これ

らのプローブは電圧計19に接続している。また通電プローブ13、ステージ14、ソース側測定プローブ15およびドレイン側測定プローブ16は半導体ウエハと加圧接触により電氣的に接続している。主電流I₀を流す通電プローブ13およびステージ14と別に測定用プローブを設けるのは主電流I₀による接触抵抗等の電圧降下V₀を測定から除去するためである。主電流I₀はドレイン電極10からソース電極9に向かって流れる。

【0003】

10 【発明が解決しようとする課題】しかし主電流I₀が矢印の方向にドレイン電極10からソース電極9に向かって流れるとき、ソース領域6を形成するn⁺領域6直下のドレイン電極10から離れたドレイン電極10にステージ14およびドレイン側測定プローブ16が通常接触するために、主電流I₀が極めて薄い金属膜でできたドレイン電極10を矢印のように横方向に流れ電位降下V₀を生じ、この電位降下V₀を含めてソース電極9とドレイン電極10間の電圧を測定するため、精度よく測れない。

20 【0004】つぎに、このことを詳細に説明する。主電流を例えばMOSFETに通电した場合の電位分布を点線で図3に示す。主電流I₀はステージと接触した箇所からドレイン電極10に流入し、ドレイン電極10内を矢印のように横方向に流れてからn⁺層3に入る。ドレイン電極10は数μm程度の金属膜で形成されるため、横方向の抵抗は大きく、そのためこの横方向にながれる数Aから100A程度の主電流I₀による電圧降下V₀がドレイン電極10とソース電極9の電圧の測定に誤差を生じる元になっている。つまり従来のようにドレイン電極10のドレイン側測定プローブ16を接触させてソ

30 ース電極とドレイン電極間の電圧を測定すると、この電圧降下V₀を加算することになり、しかもこの電圧降下V₀は半導体ウエハ内の半導体装置毎で異なり、精度のよい電圧を測定できない。

【0005】この発明は、前記欠点を除去し、ソース電極とドレイン電極間の電圧を精度よく測定することができ半導体装置の測定方法を提供することにある。

【0006】

【課題を解決するための手段】この発明は前記の目的を達成するために、半導体ウエハの一主面に、主電流を通电する一方の第一電極を有し、他主面に、他方の第二電極を有する複数の縦形半導体装置が並設されている半導体ウエハの各半導体装置に主電流を通电した時の第一電極と第二電極間の電圧を測定する方法において、一主面に第二電極の電位を測定する測定電極を設けて、第一電極と該測定電極とで第一電極と第二電極間の電圧に相当する電圧を測定する。またこの測定電極を半導体装置の第一電極近傍に設けるか、又は半導体装置を形成しない領域上に形成して、第一電極と該測定電極とで第一電極と第二電極間の電圧に相当する電圧を測定すると効果

的である。さらにこの測定電極を半導体装置を形成しないスクライブライン上もしくは半導体ウエハの外周部に設けて、第一電極と該測定電極とで第一電極と第二電極間の電圧に相当する電圧を測定するとよい。

【0007】

【作用】半導体装置に主電流 I_0 が通電したときの電位分布は図3のようになる。この発明のように n^- 層の表面に n^+ 領域11を介して測定電極12を設け、ドレイン側測定プローブ17とソース側測定プローブ15を介して電圧計でドレイン電極10とソース電極9間の電圧を測定すると、この測定電極12の電位は n^+ 層3とドレイン電極10の境界での電位 V_D となり、ドレイン電極10を横方向に流れる電流による電位降下 V_0 の影響を除去できる。そのため測定電極12とソース電極9間の電圧を主電流 I_0 が大きい場合でも精度よく測定できる。もし従来例のように、ドレイン電極10に接触するドレイン側測定プローブ16とソース側測定プローブ15で電圧を測定すると電圧降下 V_0 が加わり精度が悪い。

【0008】

【実施例】図1は測定電極を設けたMOSFETの断面図を示す。図4の従来例と符号は同一であり、ここでは従来例と異なる点について説明する。測定電極12は n^+ 層11の表面に形成され、測定電極12にドレイン側測定プローブ17が接触している。また測定電極12と n^- 層4がオーミック接触するように n^+ 領域11を形成している。その他の箇所は図4と同一である。このドレイン側測定プローブ17とソース電極9に接続するソース側測定プローブ15とは電圧計19に接続する。また従来例と同様に、通電プローブ13、ステージ14、ソース側測定プローブ15およびドレイン側測定プローブ17は半導体ウエハと加圧接触により電氣的に接続している。この測定方法により、数Aから100A程度まで主電流を通電したときのドレイン電極10内を横方向に流れる電流による電圧降下 V_0 を測定から除去でき、従って、半導体ウエハ1内のMOSFETのドレイン電極10とソース電極9間の電圧を高精度で測定でき、正確なMOSFETのオン抵抗値を求めることができる。

【0009】図2は一実施例の測定電極を設ける位置を示す平面図である。同図(a)は半導体ウエハ1にMOSFETなどの半導体装置2が並設された平面図を示し、測定電極12は半導体装置2内、スクライブライン20上および半導体ウエハ1の半導体装置2が形成されていない外周部21に配置されている。同図(b)は半導体装置2を拡大した図で測定電極12はソース電極9の近傍に配置されている。またゲート電極パッド22はゲート電極8(図1)と接続する集電電極であり、ボンディングワイヤーと結ばれる。同図(c)は同図(a)の円内の拡大図でスクライブライン20上に測定電極1

2を配置した図である。

【0010】また実施例ではMOSFETで説明したが、IGBT、パワートランジスタ、サイリスタおよびダイオードなどの縦形半導体装置が半導体ウエハに配置されている場合の測定に同様の方法が適用できる。

【0011】

【発明の効果】この発明によると、半導体ウエハに配置された縦形MOSFETにおいて、ドレイン電極の電位を測定する測定電極をソース電極のある半導体ウエハ表面上に設けることで、大きな主電流を通電したときでも、ドレイン電極とソース電極間の電圧を精度よく測定できる。またMOSFET以外にIGBT、パワートランジスタ、サイリスタおよびダイオードなどの縦形半導体装置についても同様の測定方法で精度よく主電極間(例えばトランジスタではコレクタ電極-エミッタ電極間、サイリスタではアノード電極-カソード電極間など)の電圧を測定できる。

【図面の簡単な説明】

【図1】測定電極を設けたMOSFETの断面図

【図2】一実施例の平面図で、同図(a)は半導体ウエハの平面図、同図(b)は半導体装置の拡大図、同図(c)はスクライブラインの拡大図

【図3】電位分布を示す図

【図4】従来例を示す断面図

【符号の説明】

- | | |
|-------|-----------------|
| 1 | 半導体ウエハ |
| 2 | 半導体装置 |
| 3 | n^+ 層 |
| 4 | n^- 層 |
| 5 | pウェル領域 |
| 6 | ソース領域 (n^+) |
| 7 | ゲート絶縁膜 |
| 8 | ゲート電極 |
| 9 | ソース電極 |
| 10 | ドレイン電極 |
| 11 | n^+ 領域 |
| 12 | 測定電極 |
| 13 | 通電プローブ |
| 14 | ステージ |
| 15 | ソース側測定プローブ |
| 16 | ドレイン側測定プローブ |
| 17 | ドレイン側測定プローブ |
| 18 | 電源 |
| 19 | 電圧計 |
| 20 | スクライブライン |
| 21 | 外周部 |
| 22 | ゲート電極パッド |
| I_0 | 主電流 |
| V_0 | 電圧降下 |

フロントページの続き

(51) Int. Cl.⁶

H01L 21/336

識別記号

庁内整理番号

F I

技術表示箇所